

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

Publication number: JP4280465

Publication date: 1992-10-06

Inventor: HASHIMOTO TAKASHI; KOIZUMI TORU

Applicant: HITACHI LTD

Classification:

- international: **H01L27/06; H01L21/8228; H01L21/8249; H01L27/082; H01L27/06; H01L21/70; H01L27/082; (IPC1-7): H01L27/06; H01L27/082**

- European:

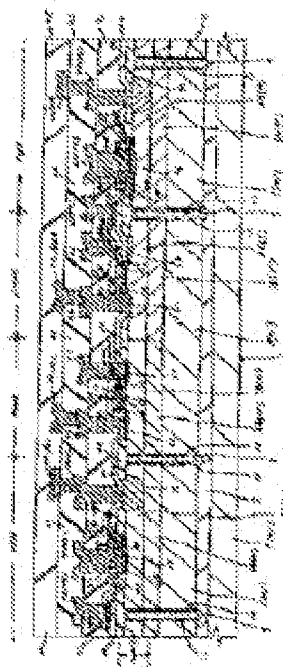
Application number: JP19910043220 19910308

Priority number(s): JP19910043220 19910308

[Report a data error here](#)

Abstract of **JP4280465**

PURPOSE:To provide a semiconductor integrated circuit device having a high speed pnp bipolar transistor in a fine area and its manufacturing method. **CONSTITUTION:**An emitter region of a pnp bipolar transistor is adapted to be formed around an active region, which makes it possible to increase its effective emitter area and speed up its operation in a fine area.



.....
Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平4-280465

(43) 公開日 平成4年(1992)10月6日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/082 27/06		7210-4M 7342-4M	H 0 1 L 27/08 27/06	1 0 1 C 3 2 1 B

審査請求 未請求 請求項の数11(全 29 頁)

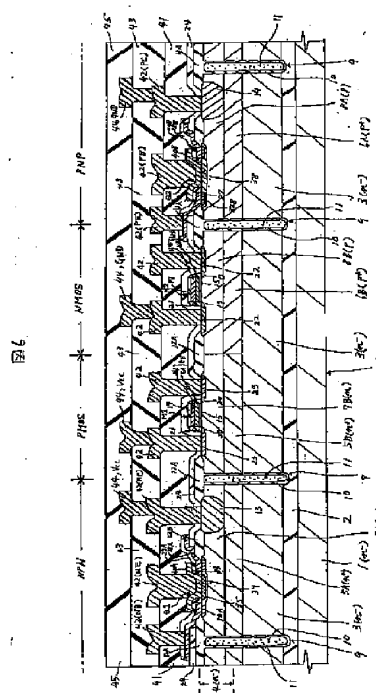
(21) 出願番号	特願平3-43220	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成3年(1991)3月8日	(72) 発明者	橋本 尚 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(72) 発明者	小泉 亨 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(74) 代理人	弁理士 小川 勝男

(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

【目的】 微細な面積で高速な p n p バイポーラトランジスタを有する半導体集積回路装置及びその製造方法を提供する。

【構成】 p n p バイポーラトランジスタのエミッタ領域を活性領域の周囲に形成することで、実効的なエミッタ面積を大きくし、微細な面積で高速化を図る。



【特許請求の範囲】

【請求項1】主面を有する半導体基板と、前記主面上に設けられ、かつ、 pnp バイポーラトランジスタが形成されるべき活性領域を囲むように設けられた分離絶縁層と、前記活性領域中に設けられた前記 pnp バイポーラトランジスタの n 型ベース領域と、前記分離絶縁層上に設けられ、かつ、前記 n 型ベース領域の周囲部に延在するエミッタ引出し層と、前記エミッタ引出し層に接続され、かつ、前記分離絶縁層に沿って前記 n 型ベース領域のほぼ中央部を囲むように前記 n 型ベース領域の周囲部に設けられた前記 pnp バイポーラトランジスタの P 型エミッタ領域と、前記 p 型エミッタ領域に囲まれた前記 n 型ベース領域のほぼ中央部に接続されたベース引出し層とを有することを特徴とする半導体集積回路装置。

【請求項2】前記 p 型エミッタ領域は、リング状の平面パターンを有することを特徴とする特許請求の範囲第1項記載半導体集積回路装置。

【請求項3】前記エミッタ引出し層は、 p 型不純物を含む多結晶シリコン膜で構成されることを特徴とする特許請求の範囲第2項記載の半導体集積回路装置。

【請求項4】前記ベース引出し層は、 n 型不純物を含む多結晶シリコン膜で構成されることを特徴とする特許請求の範囲第3項記載の半導体集積回路装置。

【請求項5】主面を有する半導体基板と、前記主面上に設けられ、かつ、 pnp バイポーラトランジスタが形成されるべき第1活性領域及び pnp バイポーラトランジスタが形成されるべき第2活性領域を囲むように設けられた分離酸化層と、前記第1活性領域中に設けられた前記 pnp バイポーラトランジスタの n 型ベース領域と、前記第1活性領域を囲む前記分離酸化層上に設けられ、かつ、前記 n 型ベース領域の周囲部に延在する第1エミッタ引出し層と、前記第1エミッタ引出し層に接続され、かつ、前記分離酸化層に沿って前記 n 型ベース領域のほぼ中央部を囲むように前記 n 型ベース領域の周囲部に設けられた前記 pnp バイポーラトランジスタの p 型エミッタ領域と、前記第1エミッタ引出し層上に延在し、かつ、前記 p 型エミッタ領域に囲まれた前記 n 型ベース領域のほぼ中央部に接続する第1ベース引出し層と、前記第2活性領域中に設けられた前記 pnp バイポーラトランジスタの p 型ベース領域と、前記 p 型ベース領域のほぼ中央部に設けられた n 型エミッタ領域と、前記 n 型エミッタ領域を囲むように設けられ、かつ、前記 p 型ベース領域の周囲部に接続する第2ベース引出し層と、前記第2ベース引出し層上に延在し、かつ、前記 n 型エミッタ領域に接続する第2エミッタ引出し層と、を有することを特徴とする半導体集積回路装置。

【請求項6】前記 pnp バイポーラトランジスタ及び前記 pnp バイポーラトランジスタは、第1動作電位供給配線と、前記第1動作電位よりも電位が低い第2動作電位供給配線との間に直列接続されることを特徴とする特

許請求の範囲第6項記載の半導体集積回路装置。

【請求項7】前記 pnp バイポーラトランジスタのコレクタが前記第1動作電位供給配線に接続され、前記 pnp バイポーラトランジスタのコレクタが前記第2動作電位供給配線に接続され、かつ、前記 pnp バイポーラトランジスタの n 型エミッタ領域と前記 pnp バイポーラトランジスタの p 型エミッタ領域とが電気的に接続されていることを特徴とする特許請求の範囲第6項記載の半導体集積回路装置。

10 【請求項8】主面を有する半導体基板を準備する工程と、前記主面上に第1導体層を形成すると工程と、前記第1導体層をパターニングすることにより pnp バイポーラトランジスタのベース引出し層と pnp バイポーラトランジスタのエミッタ引出し層と、を同時に形成する工程と、前記第1導体層上を含む前記主面上に第2導体層を形成する工程と、前記第2導体層をパターニングすることにより前記 pnp バイポーラトランジスタのエミッタ引出し層と前記 pnp バイポーラトランジスタのベース引出し層とを同時に形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

20 【請求項9】前記第1導体層は、 p 型不純物を含む多結晶シリコン膜で形成され、前記第2導体層は、 n 型不純物を含む多結晶シリコン膜で形成されることを特徴とする特許請求の範囲第8項記載の半導体集積回路装置の製造方法。

【請求項10】前記 pnp バイポーラトランジスタのベース引出し層及び pnp バイポーラトランジスタのエミッタ引出し層を形成した後、前記 p 型不純物を前記主面上に導入させることによって、前記 pnp バイポーラトランジスタの外部ベース領域と前記 pnp バイポーラトランジスタのエミッタ領域とを同時に形成する工程を含むことを特徴とする特許請求の範囲第9項記載の半導体集積回路装置の製造方法。

30 【請求項11】前記 pnp バイポーラトランジスタのエミッタ引出し層及び pnp バイポーラトランジスタのベース引出し層中に導入された n 型不純物を前記主面上に導入することによって、前記 pnp バイポーラトランジスタのエミッタ領域と前記 pnp バイポーラトランジスタの外部ベース領域とを同時に形成することを特徴とする特許請求の範囲第10項記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、バイポーラトランジスタと相補型MOSFET（以下、CMOSと称す）とを同一の半導体基板上に集積してなる複合型半導体集積回路装置（以下、Bi-CMOSと称す）及びその製造方法に関する。

【0002】

50 【従来の技術】近年、Bi-CMOS分野では、微細化

に伴うMOSFETの耐圧の低下を防止するため、電源電圧を低下させる方向にある。この電源電圧の低下は、トータムボール接続された2つのnpn型バイポーラトランジスタをその出力段として有するBi-CMOSゲート回路においては、ゲート遅延時間の増大を招き、CMOSゲート回路より高速であるというメリットが失われる。そこで、前記Bi-CMOSゲート回路の出力段をnpnバイポーラトランジスタとpnpバイポーラトランジスタとで構成することによって、低電圧動作時においても、CMOSゲート回路より高速性を保てる新規な相補型Bi-CMOSゲート回路が、例えば、1990年7月19日、「電子情報通信学会」発行の「IEICE Technical Report」第55頁～第60頁の石丸らの文献により報告されている。さらに上記石丸らの文献には、前記相補型Bi-CMOSゲート回路の高速性を十分に引出すために、デバイス的なアプローチとして、前記相補型Bi-CMOSゲート回路を構成するpnpバイポーラトランジスタをコレクタ領域にp+型埋込層を有する縦型構造で構成する旨記載されている。

【0003】一方、1989年IEDM (International Electron Device Meeting) pp903～905、に記載のJ. Warnockらの文献には、n型真性ベース領域をとり囲むように形成されたn+型ポリシリコンからなるベース引出し層と、前記n型真性ベース領域中に設けられたp型エミッタ領域と、前記ベース引出し層上にオーバーラップするように設けられ、かつ、前記p型エミッタ領域に接続するp+型ポリシリコンからなるエミッタ引出し層とを有する縦型pnpバイポーラトランジスタが報告されている。このように、ベース及びエミッタ領域の引出し層として、それぞれに独立したポリシリコン層を用いるバイポーラトランジスタは、ダブル、ポリシリコン、セルフアライン、トランジスタ (double-polysilicon-Self-aligned-transistor) と呼ばれ、高集積化及び高速化にすぐれる。

【0004】

【発明が解決しようとする課題】本発明者らは、相補型Bi-CMOSのさらなる高速化、高集積化及び低プロセスコスト化について検討した結果、以下の問題点を明らかにした。

【0005】まず、高速化の観点から、相補型Bi-CMOSゲート回路の遅延時間について検討した。前記遅延時間とは、ある一定の負荷容量を充放電するために要する時間を示す。

【0006】前記相補型Bi-CMOSゲート回路においては、そのコレクタが電源電位 (Vcc) に接続されたnpnバイポーラトランジスタが関与するプルアップ動作時の遅延時間と、そのコレクタが接地電位 (GND) に接続されたpnpバイポーラトランジスタが関与するプルダウン動作時の遅延時間との平均値で遅延時間が決定される。つまり、相補型Bi-CMOSゲート回

路の高速化を図るためには、npnバイポーラトランジスタの遅延時間とpnpバイポーラトランジスタの遅延時間をバランスよく改善することが重要である。

【0007】しかしながら、pnpバイポーラトランジスタは、多数キャリアであるホールの移動度がnpnバイポーラトランジスタの多数キャリアである電子の移動度に比べて約1/2と小さいため、例えば、上記従来技術の石丸らのように、pnpバイポーラトランジスタをnpnバイポーラトランジスタと同様に縦型構造で構成しても、pnpバイポーラトランジスタの遮断周波数 f_t は、npnバイポーラトランジスタの約1/2しか得られない。この両バイポーラトランジスタの特性のアンバランスのため、相補型Bi-CMOSゲート回路の遅延時間の改善、つまり高速化を十分に図れない。本発明者らは、さらに、両バイポーラトランジスタの遮断周波数 f_t のコレクタ電流依存性について詳細に検討した。その結果を図4に示す。図4において、曲線Aは、npnバイポーラトランジスタの特性、曲線Bはpnpバイポーラトランジスタの特性を示す。尚、同図において両バイポーラトランジスタは、同一のデザインルールに基づいて設計された縦型バイポーラトランジスタである。同図から明らかなように、pnpバイポーラトランジスタの遮断周波数 f_t は、npnバイポーラトランジスタと比べ、高コレクタ電流領域において、5 [GHz] 以下と著しく劣化してしまうため、高速用途の相補型Bi-CMOSに十分に対応できない問題がある。

【0008】次に高集積化の観点から、相補型Bi-CMOSのnpn及びpnpバイポーラトランジスタの構造について検討した。高集積化を図るためには、上述した従来技術のJ. Warnockらのように、ベース及びエミッタ領域の引出し層として、それぞれ独立したポリシリコン層を用いるダブル、ポリシリコン、セルフアライン、トランジスタを用いることが有利である。しかしながら、上記セルフアライン、トランジスタは、そのエミッタ領域をベース引出し層でとり囲む構造となっているため、前記ミッタ領域の面積が小さくなる。このため、特にpnpバイポーラトランジスタでは、セルフアライン構造を用いたことにより、遮断周波数 f_t は向上するものの、エミッタ面積の縮小により、電流駆動能力が低下する問題がある。

【0009】さらに本発明者らは、上記セルフアライン、トランジスタを用いる相補型Bi-CMOSのプロセスコストについて検討した。上記J. Warnockらのpnpバイポーラトランジスタは、第1層目のポリシリコンでn型ベース引出し層を形成し、第2層目のポリシリコンでp型のエミッタ引出し層をそれぞれ形成している。一方、通常のセルフアラインnpnバイポーラトランジスタは、第1層目のポリシリコンでp型のベース引出し層を形成し、第2層目のポリシリコンでn型のエミッタ引出し層を形成している。このため、両トランジス

タの引出し層の導電型が一致しないので、両トランジスタの引出し層を共通化することができないので、上記セルファライン、トランジスタを用いる相補型相補型Bi-CMOSのプロセスコストが増大する問題がある。

【0010】本発明は、上述した問題点を解決するためになされたものであり、本発明の一つの目的は、微細な面積で、高速なpnpバイポーラトランジスタを有する半導体集積回路装置の構造及びその製造方法を提供することにある。

【0011】本発明の一つの目的は、高速かつ高集積化が可能な相補型Bi-CMOSの構造及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

【0013】pnpバイポーラトランジスタを有する半導体集積回路装置は、主面を有する半導体基板と、前記主面上に設けられ前記pnpバイポーラトランジスタが形成されるべき活性領域を囲むように設けられた分離酸化層と、前記活性領域中に設けられた前記pnpバイポーラトランジスタのn型ベース領域と、前記分離酸化層上に設けられかつ、前記n型ベース領域の周囲部に延在するエミッタ引出し層と、前記エミッタ引出し層に接続され、かつ、前記分離酸化層に沿って前記n型ベース領域のほぼ中央部を囲むように前記n型ベース領域の周囲部中に設けられた前記pnpバイポーラトランジスタのp型エミッタ領域と、前記p型エミッタ領域に囲まれた前記n型ベース領域のほぼ中央部に接続されたベース引出し層とを有する。

【0014】また、相補型Bi-CMOSを有する半導体集積回路装置は、主面を有する半導体基板と、前記主面上に設けられ、かつ、pnpバイポーラトランジスタが形成されるべき第1活性領域及びnpnバイポーラトランジスタが形成されるべき第2活性領域を囲むように設けられた分離酸化層と、前記第1活性領域中に設けられた前記pnpバイポーラトランジスタのn型ベース領域と、前記第1活性領域を囲む前記分離酸化層上に設けられ、かつ、前記n型ベース領域の周囲部に延在する第1エミッタ引出し層と、前記第1エミッタ引出し層に接続され、かつ、前記分離絶縁層に沿って前記n型ベース領域のほぼ中央部を囲むように前記n型ベース領域の周囲部中に設けられた前記pnpバイポーラトランジスタのp型エミッタ領域と、前記第1エミッタ引出し層上に延在し、かつ、前記p型エミッタ領域に囲まれた前記n型ベース領域のほぼ中央部に接続する第1ベース引出し層と、前記第2活性領域中に設けられた前記npnバイポーラトランジスタのp型ベース領域と、前記p型ベース領域のほぼ中央部に設けられたn型エミッタ領域と、前記n型エミッタ領域を囲むように設けられ、かつ、前記p型ベース領域の周囲部に接続する第2ベース

引出し層と、前記第2ベース引出し層上に延在し、かつ、前記n型エミッタ領域に接続する第2エミッタ引出し層とを有する。

【0015】また、前記相補型Bi-CMOSを有する半導体集積回路装置の製造方法は、前記pnpバイポーラトランジスタの第1エミッタ引出し層と前記npnバイポーラトランジスタの第2ベース引出し層とを第1の共通導体層により形成する工程と、前記pnpバイポーラトランジスタの第1ベース引出し層と前記npnバイポーラトランジスタの第2エミッタ引出し層とを第2の共通導体層により形成する工程とを含む。

【0016】

【作用】上述した本発明によれば、pnpバイポーラトランジスタをエミッタ領域を活性領域の周囲に形成したので、前記活性領域（素子形成領域）の面積を大きくせず、実効的なエミッタ面積を大きくできるので、微細な面積で、高速なpnpバイポーラトランジスタを有する半導体集積回路装置が達成できる。

【0017】また、上記pnpバイポーラトランジスタを相補型Bi-CMOSに適用することによって、pnpバイポーラトランジスタの高電流領域の遮断周波数 f_t の低下をnpnバイポーラトランジスタより小さくおさえることができるので、微細な面積で高速な相補型Bi-CMOSを有する半導体集積回路装置が達成できる。

【0018】また、前記pnpバイポーラトランジスタのエミッタ引出し層と前記npnバイポーラトランジスタのベース引出し層を共通化し、さらに、前記pnpバイポーラトランジスタのベース引出し層と前記npnバイポーラトランジスタのエミッタ引出し層を共通化したので、相補型Bi-CMOSを有する半導体集積回路の製造プロセスを簡略化でき、プロセスコストの低減が図れる。

【0019】

【実施例】以下、本発明の実施例を図面を用いて具体的に説明する。

【0020】なお、実施例を説明するための全図において同一機能を有するものには同一符号をつけ、その繰り返しの説明を省略する。

【0021】本発明の実施例の説明に先だって、まず、本発明が適用される好的な対象物として、高速性、低消費電力性を合せ持つBi-CMOSスタティック、ランダム、アクセス、メモリ（以下、Bi-CMOS SRAMと言う）の概要を説明する。本発明が適用されるBi-CMOS SRAMの回路構成は、例えば、アドレス回路、タイミング回路などの周辺回路にBi-CMOS複合スイッチング回路が用いられ、メモリセルにフルCMOS構造からなるフリップフロップ型メモリセルが使用される。

【0022】図1は、本発明が適用されるBi-CMO

S SRAMの周辺回路部のワード線ドライバ回路WD 1, WD 2, WD 3とメモリセル121 (MC11, MC12)の回路構成の一例を示す回路図である。同図に示すように、周辺回路部110のワード線ドライバ回路WD 2は、npnバイポーラトランジスタQ1及びpn pバイポーラトランジスタQ2からなる相補型バイポーラ、PチャネルMOSFETM1、nチャネルMOSFETM2、抵抗R1、R2、とによって構成される。バイポーラトランジスタQ1、Q2はトータムポール接続されて、プッシュプル動作を行ない、前記MOSFETM1、M2とで構成されるCMOS前段駆動回路の出力段を構成する。つまり、前記ワード線ドライバ回路は、相補型Bi-CMOS複合スイッチング回路を構成している。尚、同図中、X1~X3は、内部アドレス信号を示す。メモリセルアレイ部120には、多数のメモリセル121が行方向と列方向のマトリックス状に配置されている。

【0023】各メモリセル121には、複数のメモリセル121から所定のメモリセルを選択するためのワード線Wと相補データ線D、Dバーが接続されている。図1及び図2に示すように、複数のワード線W1、W2...と複数の相補データ線D1、D1バー、D2、D2バー...が互いに直交するように形成される。図示しないが、相補データ線D、Dバーは、カラムスイッチを介してセンスアンプ及び出力回路に接続されている。1つのメモリセル121は、各々の入力と出力がクロスカップルされた第1CMOS (M11、M13)及び第2CMOS (M12、M14)と、前記相補データ線D1、D1バーと前記第1及び第2CMOSのそれぞれ出力との間に接続されたトランスファスイッチとしてのnチャネルMOSFETM15、M16を含む。また、前記第1及び第2CMOSは、電源電位Vcc (例えば、3V)と接地電位GND (例えば、0V)とにそれぞれ接続されている。すなわち、メモリセル121は、フリップフロップ型保持回路を構成している。

【0024】図2は、上記周辺回路部110とメモリセルアレイ部120との平面的なレイアウト配置を部分的に示している。尚、図1及び図2に示すワード線ドライバWD1~WD6は、インバータ回路で、その出力段トランジスタがバイポーラトランジスタであることを、インバータの論理記号におけるその出力部分を黒く塗りつぶすことによって示す。

【0025】図3は、本発明が適用されるBi-CMOS SRAMのチップレイアウトを示す。同図に示すように、Bi-CMOS SRAM100は、単一の半導体基板200上に形成される。この基板200の面積の大部分は、メモリセルアレイ部120によって占められている。それぞれのメモリセルアレイ部120は、複数のメモリマットとして分割形成され、各分割メモリアレイ部120の周囲には、周辺回路部110が配置されて

いる。さらに、周辺回路部110の外側には、外部インターフェースと信号の入出力をとり行うための、端子パッド (ボンディングパッド) 101が配置されている。周辺回路部110は、ワード線デコーダ及びドライバ回路部111、データ線ブルアップ回路部113、データ線デコーダ及び選択スイッチ回路部112等を含む。また、図示しないが、各端子パッド101と周辺回路部110との間には、各端子パッド101に対応する入出力回路が設けられている。

【0026】このように、SRAMの周辺回路にBi-CMOS型の論理回路を用いることによって、SRAMの高速化と低消費電力化を同時に達成している。また、Bi-CMOS複合スイッチング回路の出力段トランジスタとして、相補型バイポーラトランジスタを用いることによって、電源電圧が3V程度と低くなった場合でも、高速性をCMOS以上に保つことが可能となっている。

【0027】図5及び図6は、本発明の実施例である相補型Bi-CMOS SRAM100の要部平面図及び要部断面図がそれぞれ示されている。ここでは、前記図1~3に示した周辺回路部110のワード線ドライバ回路WD2を構成するnpnバイポーラトランジスタQ1、pn pバイポーラトランジスタQ2、pチャネルMOSFETM1及びnチャネルMOSFETM2のみを示すこととする。また、前記メモリセルアレイ部120の各メモリセルを構成するnチャネルMOSFETM11、M12、M15、及びM16、pチャネルMOSFETM13及びM14は、前記nチャネルMOSFETM2及びpチャネルMOSFETM1と、それぞれ同様な構造を有する。

【0028】図5及び図6に示すように、相補型Bi-CMOSは、n型シリコンからなる半導体支持基板1と、その上部に設けられた酸化珪素膜のような絶縁層2と、更に前記絶縁層2上に設けられたn型単結晶シリコン層3からなるSOI (Silicon On Insulator) 基板200上に形成されている。

【0029】上記n型シリコン層3上には、n型単結晶シリコンからなるエピタキシャル層4が形成され、前記シリコン層3とエピタキシャル層4の間には、n+型半導体領域からなるn+型埋込層5A、5B及びp+型半導体領域からなるp+型埋込層6A、6Bがそれぞれ設けられている。前記相補型Bi-CMOSを構成するnpnバイポーラトランジスタQ1は、形成領域NP NのSOI基板200上に形成される。バイポーラトランジスタQ1は、主に前記エピタキシャル層4の主面上に設けられたn+型半導体領域からなるエミッタ領域37と、p型半導体領域からなる真性ベース領域35と、n型半導体領域 (n-well) からなるコレクタ領域7Aとで構成される、いわゆる縦型npnバイポーラトランジスタである。さらに、このバイポーラトランジス

タQ1は、コレクタ直列抵抗を低減するための前記n+型埋込層5Aとコレクタ電位を表面から取り出すためのn+型半導体領域からなるコレクタ引上げ領域13とを含む。このコレクタ引上げ領域13には、コレクタ電極42(NC)が絶縁膜41、24に設けられた開口部を介して接続されている。さらにバイポーラトランジスタQ1は、前記真性ベース領域35に接続されたp+型半導体領域からなる外部ベース領域32Aと、前記外部ベース領域に接続されたp+型多結晶シリコン層からなるベース引出し層28Aと、前記エミッタ領域37に接続されたn+型多結晶シリコン層からなるエミッタ引出し層40Aとを含む。前記外部ベース領域32A及びベース引出し層28Aは、前記真性ベース領域32及びエミッタ領域37を取り囲むように形成される。前記ベース引出し層28Aとエミッタ引出し層40Aは、前記ベース引出し層28Aの側部に自己整合で設けられた絶縁層からなるサイドウォールスペーサ33及び前記ベース引出し層28Aの上部に設けられた絶縁膜29Aによって、電氣的に分離酸化層されている。前記ベース引出し層28A及びエミッタ引出し層40Aには、絶縁膜29A、41に設けられた開口部を介して、ベース電極42(NB)及びエミッタ電極42(NE)がそれぞれ接続されている。前記エミッタ、ベース及びコレクタ電極42(NE)、42(NB)、42(NC)のそれぞれは、第1層目配線形成工程により設けられ、例えば、アルミニウム層または、Cu、Siなどの不純物が添加されたアルミニウム合金層で形成される。このように、バイポーラトランジスタQ1は、ダブルポリシリコン・セルフファライン構造を有する。尚、図5の領域NPN内において、点線は、ベース引出し層28Aのパターン、一点鎖線はエミッタ引出し層40Aのパターン、斜線部は、後に説明するU溝アイソレーション領域9のパターンをそれぞれ示している。

【0030】バイポーラトランジスタQ1は、その周囲をフィールド絶縁膜12Aと、前記シリコン層3及びエピタキシャル層4中に埋込形成された絶縁膜10及び多結晶シリコン11からなるU溝アイソレーション領域9とによって囲まれ、他の能動素子(例えば、pチャンネルMOSFETM1)と電氣的に分離されている。フィールド絶縁膜12Bは、前記ベース領域32A、35と、前記コレクタ引出し領域13を分離するために設けられている。

【0031】pnpバイポーラトランジスタQ2は、形成領域PNPのSOI基板200上に形成される。バイポーラトランジスタQ2は、主に、前記エピタキシャル層4の主面上に設けられたp+型半導体領域からなるエミッタ領域32Bと、n型半導体領域からなる真性ベース領域27と、p型半導体領域(p-well)からなるコレクタ領域8Aとで構成される縦型pnpバイポーラトランジスタである。さらに、このバイポーラトラン

ジスタQ2は、前記トランジスタQ1と同様な目的で、p+型埋込層6Aと、p+型半導体領域からなるコレクタ引上げ領域14とを含む。このコレクタ引上げ領域14には、コレクタ電極42(PC)が絶縁膜41、24に設けられた開口部を介して、接続されている。さらにバイポーラトランジスタQ2は、前記真性ベース領域27に接続されたn+型半導体領域からなる外部ベース領域(ベースコンタクト領域)38と、前記外部ベース領域38に接続されたn+型多結晶シリコン層からなるベース引出し層40Bと、前記エミッタ領域32Bに接続されたp+型多結晶シリコン層からなるエミッタ引出し層28Bとを含む。前記エミッタ領域32Bは、フィールド絶縁膜12A、12Bに沿ってリング状に形成される。言い換えれば、前記エミッタ領域32Bは、前記フィールド絶縁膜12A、12Bによって規定される活性領域の周囲に形成される。前記エミッタ引出し層28Bは、その一端が前記エミッタ領域32Bと同様に活性領域の周囲に前記外部ベース領域38を取り囲むように形成され、かつ、その他端が前記フィールド絶縁膜12A、12B上に延在する。前記エミッタ引出し層28Bとベース引出し層40Bは、前記エミッタ引出し層28Bの側部に自己整合で設けられた絶縁層からなるサイドウォールスペーサ33と、前記エミッタ引出し層28B上に設けられた絶縁膜29Bによって電氣的に分離されている。前記エミッタ引出し層28B及びベース引出し層40Bには、絶縁膜29B、41に設けられた開口部を介して、エミッタ電極42(PE)及びベース電極42(PB)がそれぞれ接続されている。前記エミッタ、ベース及びコレクタ電極42(PE)、42(PB)、42(PC)のそれぞれは、前記トランジスタQ1と同様に、第1層目配線形成工程のアルミニウム層またはアルミニウム合金層で形成される。このようにバイポーラトランジスタQ2はトランジスタQ1と同様にダブルポリシリコン・セルフファライン構造を有するが、エミッタ引出し層を第1層目のポリシリコン層で形成し、ベース引出し層を第2層目のポリシリコン層で形成している。つまり、トランジスタQ2のエミッタ引出し層32Bと、トランジスタQ1のベース引出し層32Aは、同一製造工程により形成された共通のp+型導電層で構成される。同様にベース引出し層40Bとエミッタ引出し層40Aは、同一製造工程により形成される共通のN+型導電層で設けられる。尚、図5の領域PNP内において、点線はエミッタ引出し層28Bのパターン、一点鎖線は、ベース引出し層40Bのパターン、斜線部は、U溝アイソレーション領域のパターンをそれぞれ示している。バイポーラトランジスタQ2は、その周囲をフィールド絶縁膜12Aと、前記U溝アイソレーション領域9とによって囲まれ、他の能動素子(例えば、nチャンネルMOSFETM2)と電氣的に分離されている。前記真性ベース領域27とコレクタ引上げ領域14との間には

両者を分離するためのフィールド絶縁膜12Bが形成されている。上述したpnpバイポーラトランジスタの構成によれば、多結晶シリコンによりベース、エミッタ引出し層を形成しているため、縦方向に浅い接合を信頼性良く実現できるので、真性の遮断周波数 f_t を大きくすることができ、かつ、エミッタ領域を活性領域の周囲に形成したので、エミッタ領域を活性領域の中央に形成する従来のバイポーラトランジスタに比べて、実効的なエミッタ面積を大きくすることができる。従って、同一のエミッタ面積を得ようとするれば、本発明のpnpバイポーラトランジスタは、必要な活性領域の面積を小さくすることができるので、集積回路装置の高集積化が可能となる。また、本発明のpnpバイポーラトランジスタを図1に示すような相補型Bi-CMOS複合スイッチング回路WD2の出力段に適用することによって、npnバイポーラトランジスタとpnpバイポーラトランジスタの特性のアンバランスを改善することができる。この理由は、本発明のpnpバイポーラトランジスタは、上述したように、エミッタ面積を大きくできる結果、図4の曲線B'に示すように、遮断周波数 f_t が最大となる時のコレクタ電流をnpnバイポーラトランジスタのそれに比べて、約3倍大きくできるためである。相補型Bi-CMOS回路では、パルス応答時に負荷容量を充放電する大きな電流が流れるが、本発明の相補型Bi-CMOSは、大電流領域での遮断周波数 f_t の向上が図れるのでゲート延在時間の改善が大きく図れ、高速化を達成できる。

【0032】pチャネルMOSFETM1は、形成領域PMOSのSOI基板200に設けられている。より具体的には、pチャネルMOSFETM1は、前記n型エピタキシャル層4中に形成されたn型半導体領域(n-well)7Bの主面部に設けられる。pチャネルMOSFETM1は、主に、n型不純物を含むn型多結晶シリコン層16Aと高融点金属シリサイド層16Bの積層膜からなるゲート電極18Bと、p+型半導体領域からなる高濃度ソース・ドレイン領域23と、ゲート絶縁膜15とで構成されている。pチャネルMOSFETM1は、さらに、前記高濃度ソース・ドレイン領域23よりも不純物濃度の低いp-型半導体領域からなる低濃度ソース・ドレイン領域20を含み、いわゆるLDD(Lightly-Doped-Drain)構造をなしている。さらに前記n型半導体領域7Bとシリコン層3との間には、n型半導体領域の抵抗値を低減するためのn+型埋込層5Bが、設けられている。前記ゲート電極18Bの上には、絶縁膜17が被覆されている。また、そのゲート電極18Bの側面には、絶縁膜からなるサイドウォールスペーサ21が設けられている。さらに前記ソース・ドレイン領域23には、絶縁膜24、41に設けられた開口部を通して、ソース・ドレイン電極42が接続されている。これらソース・ドレイン電極42は、前記バイポーラトランジスタ

タQ1、Q2のエミッタ、ベース及びコレクタ電極と同一工程で形成される。

【0033】nチャネルMOSFETM2は、形成領域NMOSのSOI基板200上に設けられ、より具体的には、前記n型エピタキシャル層4中に形成されたp型半導体領域(p-well)8Bの主面部に設けられる。nチャネルMOSFETM2は、前記pチャネルMOSFETM1と同様に、n型多結晶シリコン層16A及び高融点金属シリサイド層16Bからなるゲート電極18Aと、n+型半導体領域からなる高濃度ソース・ドレイン領域22と、ゲート絶縁膜15とで構成され、さらに、n型半導体領域からなる低濃度ソース・ドレイン領域19を含み、いわゆるLDD構造をなしている。さらに、前記p型半導体領域8Bとシリコン層3との間には、前記p型半導体領域8Bの抵抗値を低減するためのp+型埋込層6Bが形成されている。前記ソース・ドレイン領域22には、前記pチャネルMOSFETと同様に、ソース・ドレイン電極42が接続されている。前記pチャネル及びnチャネルMOSFETM1、M2は、ダブルウェル(n-well17B、p-well18B)構造によるPN接合及びフィールド絶縁膜12Aにより、互いに電気的に分離され、さらに、p+型埋込層6B及びn+型埋込層5Bの採用によりラッチアップ耐性を向上している。また、前記npnバイポーラトランジスタQ1のコレクタ電極42(NC)及び前記pチャネルMOSFETM2の一方のソース・ドレイン電極42には、層間絶縁膜43に設けられた開口部を介して、第2層目配線工程により形成されたアルミニウム層あるいは、Cu、Si等の不純物が添加されたアルミニウム合金層からなる配線層44(Vcc)が接続されている。前記配線層44(Vcc)には、例えば、3Vの電源電位が印加されている。また、前記npnバイポーラトランジスタQ2のコレクタ電極42(PE)及び前記nチャネルMOSFETM1の一方のソース・ドレイン電極42には、前記同様に配線層44(GND)が接続されている。前記配線層44(GND)には、例えば、0Vの接地電位が印加されている。前記配線層44(Vcc)、44(GND)上を含むSOI基板200上全面上には、ファイナルパッシベーション膜としての絶縁膜45が被覆形成されている。

【0034】このように、周辺回路部110は、Bi-CMOSで構成される。また、ここでは、図1に示したワード線ドライバ回路WD2を構成するバイポーラトランジスタ及びMOSFETのみを示したが、ワード線ドライバ回路WD1、WD3等も、図5、図6に示した構造と同様であることは言うまでもない。図5、図6に示したBi-CMOS構造を利用して、ECL等のバイポーラ論理ゲート、CMOSインバーター等の種々の回路も構成することができる。

【0035】次に、図5及び図6に示した相補型Bi-

CMOSの具体的な製造方法について、図7～図17（製造工程毎に示す要部断面図）を用いて説明する。

【0036】まず、図7に示すように、ウェーハ粘り合せ技術等によりn型シリコンからなる半導体支持基板1と、その上部に設けられた SiO_2 膜のような絶縁層2と、前記絶縁層2上に設けられたn型多結晶シリコン層3からなるSOI基板200を準備する。次に、n型不純物を形成領域NPN及び形成領域PNOSの前記シリコン層3の主面部に選択的に導入する。前記n型不純物は、例えば 10^{15} [atoms/cm²] 程度の不純物濃度のアンチモン(Sb)を使用する。次にp型不純物を形成領域PNP及び形成領域NMOSのシリコン層3の主面部に選択的に導入する。前記p型不純物は、例えば 10^{13} [atoms/cm²] 程度の不純物濃度のホウ素(B)を使用する。次に、前記n型、p型不純物に熱拡散処理を施し、シリコン層3中に引伸し拡散を施すことによって、n+型埋込層5A、5B及びp+型埋込層8A、8Bをそれぞれ形成する。次にシリコン層3の主面上に、n型エピタキシャル層4を成長させる。n型エピタキシャル層4は、単結晶シリコンで形成され、 $3[\Omega \cdot \text{cm}]$ 程度の抵抗値を有する。n型エピタキシャル層4は、例えば、 $1.2[\mu\text{m}]$ 程度の膜厚で形成される。このn型エピタキシャル層4の成長により、前記n+型埋込層5A、5B及びp+型埋込層6A、6Bを形成するn型及びp型の不純物の一部がn型エピタキシャル層4の下部に拡散されるので、前記n型単結晶シリコン層3とn型エピタキシャル層4の界面は、図7中の一点鎖線Lepi1で示される。また、n型エピタキシャル層4の上面は一点鎖線Lepi2で示される。次に、形成領域NPN及び形成領域pMOSのn型エピタキシャル層4の主面部に、n型不純物を選択的に導入する。前記n型不純物は、例えば 10^{12} [atoms/cm²] 程度の不純物濃度のリン(p)を使用し、 $120 \sim 130[\text{KeV}]$ 程度のエネルギーのイオン打込法で導入する。次に、形成領域PNP及び形成領域NMOSのn-方エピタキシャル層4の主面部に、p型不純物を選択的に導入する。前記p型不純物は、例えば 10^{12} [atoms/cm²] 程度の不純物濃度のフッ化ホウ素(BF₃)又はホウ素(B)を使用し、 $50 \sim 70[\text{KeV}]$ 程度のエネルギーのイオン打込み法で導入する。前記I価のホウ素(B)を使用する場合は、打込みエネルギーを $100 \sim 140[\text{KeV}]$ に設定するのがよい。次に、高温の熱拡散処理を施し、n型エピタキシャル層4に導入された前記n型不純物の夫々に引き伸し拡散を施し、n型半導体領域(n-well)7A、7B及びp型半導体領域8A、8Bの夫々を形成する。前記熱拡散処理は、例えば $1100 \sim 1300[^\circ\text{C}]$ 程度の高温のN₂雰囲気中で約20～40分行なう。前記n型半導体領域7Aは、npnバイポーラトランジスタQ1の真性コレクタ領域として使用される。また、前記p

型半導体領域8Aは、pnpバイポーラトランジスタQ2の真性コレクタ領域として使用される。次に、例えばRIE(Reactive Ion Etching)等の異方性エッチングにより、形成領域NPN及びPNPを囲む領域に、前記絶縁膜2に達するU溝を形成する。次に前記U溝内の露出するシリコン面を熱酸化することによって SiO_2 膜からなる絶縁膜10を形成する。この後、例えば、CVD(Chemical Vapor Deposition)法及びエッチング技術を用い、多結晶シリコン11を前記U溝内に埋込み形成することによって、U溝アイソレーション領域9を形成する。次に前記U溝アイソレーション領域上及び形成領域NPN、PNPの所定の領域の前記エピタキシャル層4の主面を選択的に熱酸化することによって、 SiO_2 膜からなるフィールド絶縁膜12A、12Bをそれぞれ形成する。前記フィールド絶縁膜12A、12Bは、 $1000[^\circ\text{C}]$ 程度の高温のスチーム酸化法により形成し、 $600[\text{nm}]$ 程度の膜厚で形成する。このように、相補型Bi-CMOSが形成されるべき下地としての基板が完成する。

【0037】次に、図8に示すように、n型半導体領域7A中に高濃度のn型不純物、例えばリン(p)を導入する。次に、p型半導体領域8A中に高濃度のp型不純物、例えばホウ素(B)を導入する。次に先に導入されたn型及びp型不純物に、例えば $1000[^\circ\text{C}]$ 程度の高温で30分程度の熱処理を施すことによって、前記n+型埋込層5A及びp+型埋込層6Aにそれぞれ接触するように、n+型コレクタ引上げ領域13及びp+型コレクタ引上げ領域14を形成する。また、図示しないが、この後、n型半導体領域7B及びp型半導体領域8Bの主面部には、しきい値電圧V_{th}調整用の不純物が導入される。前記V_{th}調整用の不純物としては、例えば 2×10^{12} [atoms/cm²] 程度の不純物濃度のホウ素(B)が使用され、 $60[\text{KeV}]$ 程度のエネルギーのイオン打込み法で導入される。このV_{th}調整用の不純物の導入により、nチャネルMOSFETM2のしきい値電圧は、例えば $0.6[\text{V}]$ に調整され、pチャネルMOSFETM1のしきい値電圧は、例えば、 $-0.6[\text{V}]$ に調整される。

【0038】次に、図9に示すように、n型半導体領域7A、7B及びp型半導体領域8A、8Bの夫々の主面上に、 SiO_2 膜からなるゲート絶縁膜15を形成する。このゲート絶縁膜15は、例えば $800 \sim 900[^\circ\text{C}]$ 程度の高温のスチーム酸化法で形成し、 $15 \sim 25[\text{nm}]$ 程度の膜厚で形成する。次に、ゲート絶縁膜13上及びフィールド絶縁膜12A、12B上を含む基板200の全面上に多結晶珪素膜16Aを形成する。多結晶珪素膜16Aは、CVD法で堆積させ、 $100[\text{nm}]$ 程度の膜厚で形成する。多結晶珪素膜16Aには、熱拡散法により、抵抗値を低減するn型不純物例えばリン(P)が導入される。

【0039】次に、前記多結晶珪素膜16A上に金属シリサイド膜16B例えば WSi_2 膜を形成する。この金属シリサイド膜16Bは、例えばCVD法又はスパッタ法により堆積し、150 [nm]程度の膜厚で形成する。次に、前記金属シリサイド膜16B上の全面に絶縁膜17を形成する。この絶縁膜17は、CVD法で堆積した酸化珪素膜で形成する。絶縁膜17は、例えば100~200 [nm]程度の膜厚で形成する。次に、前記絶縁膜17、金属シリサイド膜16B、多結晶珪素膜16Aの夫々を所定の形状に順次エッチングし、PチャネルMOSFETM1のゲート電極18A及びnチャネルMOSFETM2のゲート電極18Bをそれぞれ形成する。前記エッチングは、フォトリソグラフィ技術で形成したエッチングマスク（フォトレジスト膜）を使用し、RIE等の異方性エッチングで行う。次に前記ゲート電極18Aから露出する前記p型半導体領域8Bの主面にn型不純物を導入する。このn型不純物は、例えば 1×10^{13} [atoms/cm²]程度の不純物濃度のリン(P)を使用し、50 [KeV]程度のエネルギーのイオン打込み法で導入する。このn型不純物は、ゲート電極18Aに対して自己整合で導入され、比較的低不純物濃度で導入されるので、nチャネルMOSFETM2をLDD構造で形成することができる。このn型不純物の導入により、n型半導体領域からなるnチャネルMOSFETM2の低濃度ソース・ドレイン領域19が形成される。次に、前記ゲート電極18Bから露出する前記n型半導体領域7Bの主面にp型不純物を導入することにより、pチャネルMOSFETM1の低濃度ソース・ドレイン領域20を形成する。このp型不純物は、例えば、 1×10^{13} [atoms/cm²]程度のフッ化ホウ素(BF₃)を使用し、40 KeV程度のエネルギーのイオン打込み法により導入される。このp型不純物は、ゲート電極18Bに対して自己整合で導入される。前記低濃度ソース・ドレイン領域20の形成により、pチャネルMOSFETM1をLDD構造で形成することができる。

【0040】次に、図10に示すように、前記ゲート電極18A、18Bの夫々の側部に、サイドウォールスペーサ21を形成する。前記サイドウォールスペーサ21は、基板200の全面上に酸化珪素膜を堆積し、この酸化珪素膜を堆積した膜厚に相当する分、RIE等の異方性エッチングを施すことにより形成することができる。サイドウォールスペーサ21の酸化珪素膜は無機シランガス及び酸化窒素ガスをソースガスとするCVD法で形成する。この酸化珪素膜は例えば400~500 [nm]程度の膜厚で形成する。このサイドウォールスペーサ21のゲート長方向(チャネル長方向)の長さは約250~300 [nm]程度で形成される。

【0041】また、前記異方性エッチングにより、前記ゲート電極18A、18Bの夫々から露出するゲート絶

縁膜15の一部及びバイポーラトランジスタの形成領域のゲート絶縁膜がオーバーエッチングされ、除去される。このとき、前記除去されたゲート絶縁膜の下地となっているn-well17B及びp-well18Bの主面のシリコン層も、少量オーバーエッチングされる。前記サイドウォールスペーサ21を形成後、不活性ガス(例えばアルゴンガス)雰囲気中で、800 [℃]程度の熱処理が施こされる。前記熱処理により、前記サイドウォールスペーサ21を構成する酸化シリコン膜が致密化されるとともに、前記低濃度ソース・ドレイン領域19、20を活性化させ、前記オーバーエッチングによるシリコン層のダメージを回復させる。

【0042】次に、前記ゲート電極18A及びサイドウォールスペーサ21から露出するp-well18Bの主面にn型不純物を導入する。このn型不純物は、ゲート電極18A及びサイドウォールスペーサ21に対して自己整合で導入される。このn型不純物は、例えば $10^{15} \sim 10^{16}$ [atoms/cm²]程度の不純物濃度のヒ素(As)を使用し、70~90 [KeV]程度のエネルギーのイオン打込み法で導入する。前記n型不純物の導入により、nチャネルMOSFETM2の高濃度ソース・ドレイン領域22が形成される。次に、前記ゲート電極18B及びサイドウォールスペーサ21から露出するn-well17Bの主面にp型不純物を導入することにより、pチャネルMOSFETM1の高濃度ソース・ドレイン領域23を形成する。前記p型不純物は、例えば、 $10^{15} \sim 10^{16}$ [atoms/cm²]程度の不純物濃度のフッ化ホウ素(BF₃)を用い、70~90 [KeV]程度のエネルギーのイオン打込み法で導入する。前記p型不純物は、前記ゲート電極18B及びサイドウォールスペーサ21に対し、自己整合で導入される。

【0043】次に、前記導入されたn型不純物及びp型不純物の夫々に熱処理を施すことにより、イオン打込みによるダメージを回復させるとともに、前記不純物を活性化させる。前記熱処理は、例えば900~1000 [℃]程度の高温で、約10分行う。

【0044】次に、図11に示す例えばCVD法により、SOI基板の全面上に膜厚0.2 [μm]程度のSiO₂膜からなる絶縁膜24を形成する。その後、例えば希フッ酸のようなウェットエッチング液を用いて、形成領域PNP、NPNの所定の部分の前記絶縁膜24を選択的にエッチングすることにより、pnpバイポーラトランジスタQ2及びnpnバイポーラトランジスタQ1のベース、エミッタ領域がそれぞれ形成されるべき、p-well18A及びn-well17Aの主面を露出させる。

【0045】次に、図12に示すように、通常のリソグラフィー及びエッチング技術により、前記p-well18Aの主面に開口を有するレジストマスク25を形成する。次に、前記レジストマスク25を不純物導

入のマスクとして、 n 型不純物26を前記 p -well 8Aの主面部に導入することによって、 pnp バイポーラトランジスタQ2の真性ベース領域27を形成する。前記 n 型不純物26は、例えば、 10^{14} [atoms/cm²] 程度の不純物濃度のヒ素 (As) を用い、30 [KeV] 程度のエネルギーのイオン打込み法で導入する。

【0046】この時、実質的に pnp バイポーラトランジスタの真性ベースとなる領域は、前記真性ベース領域27の周辺部（フィールド絶縁膜12Aとの界面付近）であるが、前記 n 型不純物のヒ素は、SiO₂/Si界面においてSi側に偏析するので、真性ベース領域の不純物濃度の低下がない。この結果、エミッターベース間耐圧BVCEOを高めることが可能である。

【0047】その後、前記レジストマスク25は、除去する。

【0048】次に、前記露出した p -well 8A及び n -well 17Aの主面上及び前記絶縁膜24上を含むSOI基板200の全面上に、多結晶シリコン相27を形成する。前記多結晶シリコン層28は、例えばCVD法で堆積させ、200 [nm] 程度の膜厚で形成する。その後、前記多結晶シリコン層28に、例えば、ホウ素 (B) のような p 型不純物をイオン打込み法によりドーピングする。前記 p 型不純物のイオン打込み条件は、例えば、10 [KeV] 程度の打込みエネルギー、 5×10^{15} [atoms/cm²] 程度のドーピング量である。次に前記多結晶シリコン層28上に、酸化珪素膜からなる絶縁膜29を形成する。この絶縁膜29は、例えばCVD法によって堆積され、100~200 [nm] 程度の膜厚で形成する。次に、前記絶縁膜29上に所定パターンのマスク30を形成する。前記マスク30は、通常のフォトリソグラフィ及びエッチング技術で形成したレジストマスクを使用する。前記マスク30のパターンは、 pnp バイポーラトランジスタQ1のベース引出し層及び pnp バイポーラトランジスタQ2のエミッタ引出し層を構造化するために設けられる。

【0049】次に、前記マスク30をエッチングマスクとして、前記絶縁膜29及び多結晶シリコン層28を順次エッチングすることによって、図14に示すように、 pnp バイポーラトランジスタQ1のベース引出し層28A及び pnp バイポーラトランジスタQ2のエミッタ引出し層28Bを同時に形成する。前記エッチングは、例えばRIE等の異方性エッチングを使用する。尚、前記絶縁膜29は、前記エッチングにより、前記ベース引出し層28A及びエミッタ引出し層28Bと同様なパターンを有し、絶縁膜29A及び29Bとしてそれぞれ構造化される。このように、 pnp バイポーラトランジスタのベース引出し層と pnp バイポーラトランジスタのエミッタ引出し層とを同一の製造工程で形成された同一の導体層により構成することができるので、プロセスの

低減が可能である。次に、例えば900 [°C] 程度で10分間の熱処理を基板に施すことによって、前記ベース引出し層28A及びエミッタ引出し層28Bに導入された p 型不純物を n -well 17A及びベース領域27中にそれぞれ熱拡散させる。前記熱処理によって、前記 n -well (真性コレクタ) 7A中に、 pnp バイポーラトランジスタQ1の p +型半導体領域からなる外部ベース領域32Aを形成すると同時に、前記ベース領域27中に、 pnp バイポーラトランジスタQ2の p +型半導体領域からなるエミッタ領域32Bを形成する。次に、例えばCVD法により、SOI基板200の全面上にSiO₂膜のような絶縁膜を形成した後、例えばRIE等の異方性エッチングにより前記絶縁膜を基板表面と垂直方向にエッチングすることによって、前記ベース引出し層28A及びエミッタ引出し層28Bの側部にサイドウォールスペーサ33をそれぞれ形成する。前記サイドウォールスペーサ33は、前記ベース引出し層28A及びエミッタ引出し層28Bに対して自己整合で形成される。

【0050】前記サイドウォールスペーサ33の形成により、バイポーラトランジスタQ1のエミッタ領域が形成されるべき領域を規定する開口OP1と、バイポーラトランジスタQ2の外部ベース（ベースコンタクト）が形成されるべき領域を規定する開口OP2とが形成される。

【0051】次に、図15に示すように、 p 型不純物34を前記 n -well 17A中に導入することにより、 p 型半導体領域からなる pnp バイポーラトランジスタQ1の真性ベース領域35を形成する。前記 p 型不純物34は、例えば $10^{13} \sim 10^{14}$ [atoms/cm²] 程度の不純物濃度のホウ素 (B) を用い、10~20 [KeV] 程度エネルギーのイオン打込法で導入する。前記 p 型不純物34の導入は、前記ベース引出し層28A及びその側部に設けられたサイドウォールスペーサ33に対して自己整合である。前記真性ベース領域35は、前記外部ベース領域32Aに接続するように形成される。

【0052】次に、図16に示すように、前記開口OP1、OP2で規定された領域を含むSOI基板200の全面上に、多結晶シリコン層36を形成する。前記多結晶シリコン層36は、例えば、CVD法で堆積し、300 [nm] 程度の膜厚で形成する。次に、例えば、ヒ素 (As) のような n 型不純物を前記多結晶シリコン層36中に、例えば、イオン打込み法により導入する。前記イオン打込みの条件は、例えば、50 [KeV] 程度のエネルギーで、 $1 \sim 2 \times 10^{16}$ [atoms/cm²] 程度のドーピング量である。次に例えば、900 [°C] 程度で、10分間程度の熱処理を基板に施すことによって、前記多結晶シリコン層36に導入された n 型不純物を前記開口OP1、OP2により規定された領域にドライブイン拡散させる。このドライブイン拡散によって、 n +型半導

体領域からなるnpnバイポーラトランジスタQ1のエミッタ領域37と、n+型半導体領域からなるpnpバイポーラトランジスタQ2の外部ベース（ベースコンタクト）領域38とを同時に形成する。次に、通常のフォトリソグラフィー及びエッチング技術により、前記多結晶シリコン層36上にレジストマスク39を選択的に形成する。

【0053】次に、図17に示すように、前記レジストマスク39から露出する前記多結晶シリコン層をエッチング除去することによって、npnバイポーラトランジスタQ1のエミッタ引出し層40Aと、pnpバイポーラトランジスタQ2のベース引出し層40Bとを同時に形成する。このように、エミッタ引出し層40Aとベース引出し層40Bは、同一の製造工程により形成された共通の導体膜により構成される。上述のような一連の製造工程によりnpnバイポーラトランジスタQ1とpnpバイポーラトランジスタQ2は、実質的に完成する。

【0054】次に、図6に示すように、バイポーラトランジスタQ1、Q2及びMOSFETM1、M2の各素子上を含む前記SOI基板200の全面上に層間絶縁膜41を形成する。前記層間絶縁膜41は、例えばCVD法により形成されたSiO₂膜と、前記SiO₂膜上に設けられ、CVD法で形成されたホウ素（B）及びリン（P）を含むSiO₂膜との二層構造膜で形成される。次に、通常のフォトリソグラフィー及びエッチング技術を用いて、前記層間絶縁膜41、及び絶縁膜24の夫々を順次、選択的にエッチングすることにより、コレクタ引上げ領域13、14、エミッタ引出し層40A、28B、ベース引出し層28A、40B及び高濃度ソース・ドレイン領域19、20の夫々に達する接続孔を形成する。前記接続孔を形成後、前記接続孔を通して、前記半導体領域の夫々に、電気的に接続するコレクタ電極42（NC）、42（PC）、エミッタ電極42（NE）、42（PE）、ベース電極42（NB）、42（PB）及びソース・ドレイン電極42を形成する。前記電極42の夫々は、例えばスパッタ法で堆積させたアルミニウム合金層で形成し、400～600[nm]程度の膜厚で形成する。前記電極42と、されに接続される各半導体領域との接触抵抗を低減する目的で、前記電極42と各半導体領域の間に、プラチナシリサイド（PtSi）膜等のシリサイド膜を設けてもよく、また、アロイ反応を防止する目的でチタンナイトライド（TiN）等の導電性セラミック膜を設けてもよい。次に、前記電極42上を含むSOI基板200の全面上に層間絶縁膜43を形成する。前記層間絶縁膜43は、例えばSOG（Spin-On-Glass）法で形成された200[nm]程度の膜厚のSiO₂膜と、例えば、プラズマCVD法で形成された500～700[nm]程度の膜厚のSiO₂膜との積層膜で構成する。次に、通常のフォトリソグラフィー及びエッチング技術を用いて、前記層間絶縁膜43を選択的

にエッチングすることにより、前記電極42に達する接続孔を形成する。前記接続孔を形成後、前記接続孔を通して前記電極42に接続する配線層44を形成する。前記配線層44は、例えばスパッタ法で形成されたアルミニウム合金層をフォトリソグラフィー及びエッチング技術によりパターニングすることによって形成される。前記配線層44には、例えば電源電位Vcc（3V）、接地電位GND（0V）が印加され、バイポーラトランジスタ及びMOSFETに動作電位が供給される。また、前記配線層44は、種々の形状にパターニングされ素子間を結線する配線層としても使用される。次に、前記配線層44上を含む前記SOI基板の全面上に、パッシベーション膜45を形成する。パッシベーション膜45は、シラン膜、窒化珪素膜、樹脂膜の夫々を順次積層した複合膜で形成されている。前記パッシベーション膜45の下層のシラン膜は150～250[nm]程度の膜厚で形成する。前記中層の窒化珪素膜は、例えばプラズマCVD法で堆積し、1.0～1.2[μm]程度の膜厚で形成する。窒化珪素膜は耐湿性を向上するために形成される。前記上層の樹脂膜は、例えば塗布法により塗布されたポリイミド系樹脂膜で形成され、2～5[μm]程度の膜厚で形成される。この樹脂膜は、相補型Bi-CMOS SRAMのアルファ線ソフトエラー耐性を向上することができる。上述した一連の製造工程を施すことにより、本発明の実施例である相補型Bi-CMOS SRAM100は完成する。このように、本発明のpnpバイポーラトランジスタQ2は、多結晶シリコン層によって、ベース及びエミッタ引出し層を構成したので、縦方向に浅い接合を信頼性よく実現することができるので、真性の遮断周波数を向上することができ、かつ、前記エミッタ引出し層を活性領域の周囲に形成し、エミッタ領域を活性領域の周囲にリング状に形成したので、活性領域の面積を大きくせずに、実効的なエミッタ領域の面積を大きくできる。従って、本発明のpnpバイポーラトランジスタQ2は、微細な面積で、高遮断周波数及び高電流駆動能力を達成できる。

【0055】また、上記本発明のpnpバイポーラトランジスタQ2とnpnバイポーラトランジスタQ1とを組合せた相補型Bi-CMOSは、両バイポーラトランジスタQ1、Q2の形成領域の面積をほぼ同一とした上で、両バイポーラトランジスタQ1、Q2のそれぞれの高電流領域における高周波特性を同程度にすることができる。この理由は、pnpバイポーラトランジスタQ2は、そのエミッタ面積をnpnバイポーラトランジスタのエミッタ面積より大きくできるので、高電流領域での遮断周波数の低下をnpnバイポーラトランジスタより小さくおさえることができるためである。従って、本発明の相補型Bi-CMOSは、高集積化かつ、高速化を達成できる。

【0056】また、上記本発明の相補型Bi-CMOS

の面積を大きくせずに実効的なエミッタ面積を大きくできるので、相補型Bi-CMOSの高速化が図れる。

【図面の簡単な説明】

【図1】本発明が適用される相補型Bi-CMOS SRAMの要部回路図を示したものである。

【図2】図1に示された回路図に対応するデバイス平面レイアウト図を示したものである。

【図3】本発明が適用される相補型Bi-CMOS SRAMの全体デバイス平面レイアウト図を示したものである。

【図4】本発明者らが検討した周断周波数 f_T のコレクタ電流依存性を示すグラフを示したものである。

【図5】本発明の相補型Bi-CMOSのデバイス平面レイアウトを示したものである。

【図6】図5に示したX-X線に対応する断面図を示したものである。

【図7】図5及び図6に示した相補型Bi-CMOSの製造方法を製造工程順に示す断面図を示したものである。

【図8】図5及び図6に示した相補型Bi-CMOSの製造方法を製造工程順に示す断面図を示したものである。

【図9】図5及び図6に示した相補型Bi-CMOSの製造方法を製造工程順に示す断面図を示したものである。

【図10】図5及び図6に示した相補型Bi-CMOSの製造方法を製造工程順に示す断面図を示したものである。

【図11】図5及び図6に示した相補型Bi-CMOSの製造方法を製造工程順に示す断面図を示したものである。

【図12】図5及び図6に示した相補型Bi-CMOSの製造方法を製造工程順に示す断面図を示したものである。

【図13】図5及び図6に示した相補型Bi-CMOSの製造方法を製造工程順に示す断面図を示したものである。

【図14】図5及び図6に示した相補型Bi-CMOSの製造方法を製造工程順に示す断面図を示したものである。

【図15】図5及び図6に示した相補型Bi-CMOSの製造方法を製造工程順に示す断面図を示したものである。

【図16】図5及び図6に示した相補型Bi-CMOSの製造方法を製造工程順に示す断面図を示したものである。

【図17】図5及び図6に示した相補型Bi-CMOSの製造方法を製造工程順に示す断面図を示したものである。

10 【図18】本発明の相補型Bi-CMOSの好的なデバイス平面レイアウト図を示したものである。

【符号の説明】

1…n型半導体支持基板、2…絶縁膜、3…n型シリコン層、4…n型エピタキシャル層、5A、5B…n+型埋込層、6A、6B…p+型埋込層、7A、7B…n型ウェル領域、8A、8B…p型ウェル領域、9…U溝アイソレーション領域、10…絶縁膜、11…多結晶シリコン、12A、12B…フィールド絶縁膜、13、14…コレクタ引上げ領域、15…ゲート絶縁膜、16A…n型多結晶シリコン層、16B…高融点金属シリサイド層、17…絶縁膜、18A、18B…ゲート電極、19…n型半導体領域、20…p型半導体領域、21…サイドウォールスペーサ、22…n型半導体領域（ソース・ドレイン領域）、23…p型半導体領域（ソース・ドレイン領域）、24…絶縁膜、25…レジストマスク、26…n型不純物、27…n型半導体領域（真性ベース領域）、28…p型多結晶シリコン層、29…絶縁膜、30…レジストマスク、32A…p+型半導体領域（外部ベース領域）、32B…p+型半導体領域（エミッタ領域）、33…サイドウォールスペーサ、34…p型不純物、35…p型半導体領域（真性ベース領域）、36…n型多結晶シリコン層、37…n+型半導体領域（エミッタ領域）、38…n+型半導体領域（外部ベース領域）、39…レジストマスク、40A…エミッタ引出し層、40B…ベース引出し層、41、43…層間絶縁膜、42、44…電極（アルミニウム配線層）、45…パッシベーション膜、Q1…npnバイポーラトランジスタ、Q2…pnpバイポーラトランジスタ、M1…pチャネルMOSFET、M2…nチャネルMOSFET、R1、R2…抵抗素子である。

【図1】

【図2】

図1

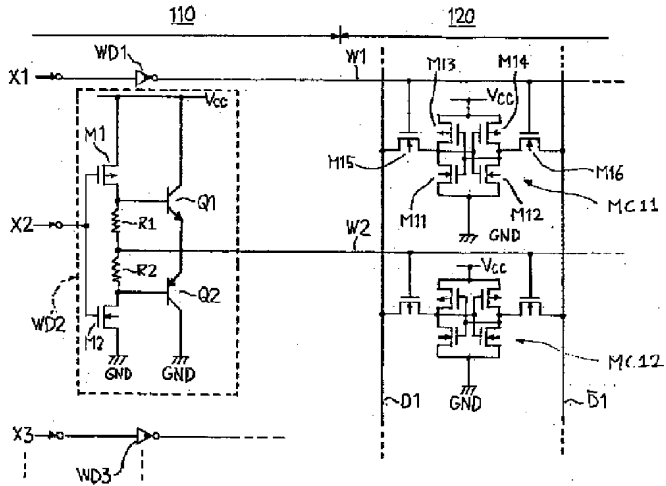
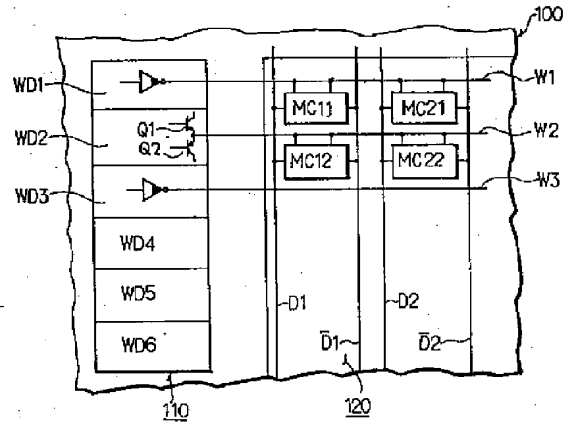
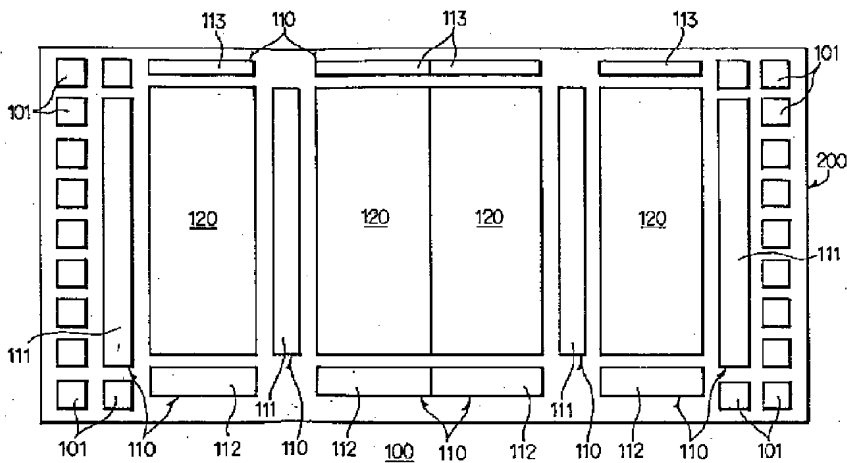


図2



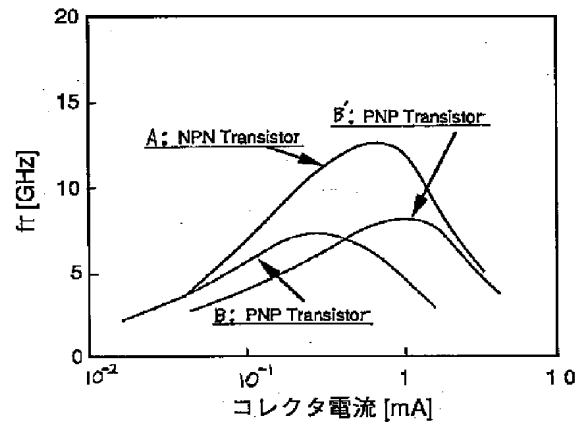
【図3】

図3

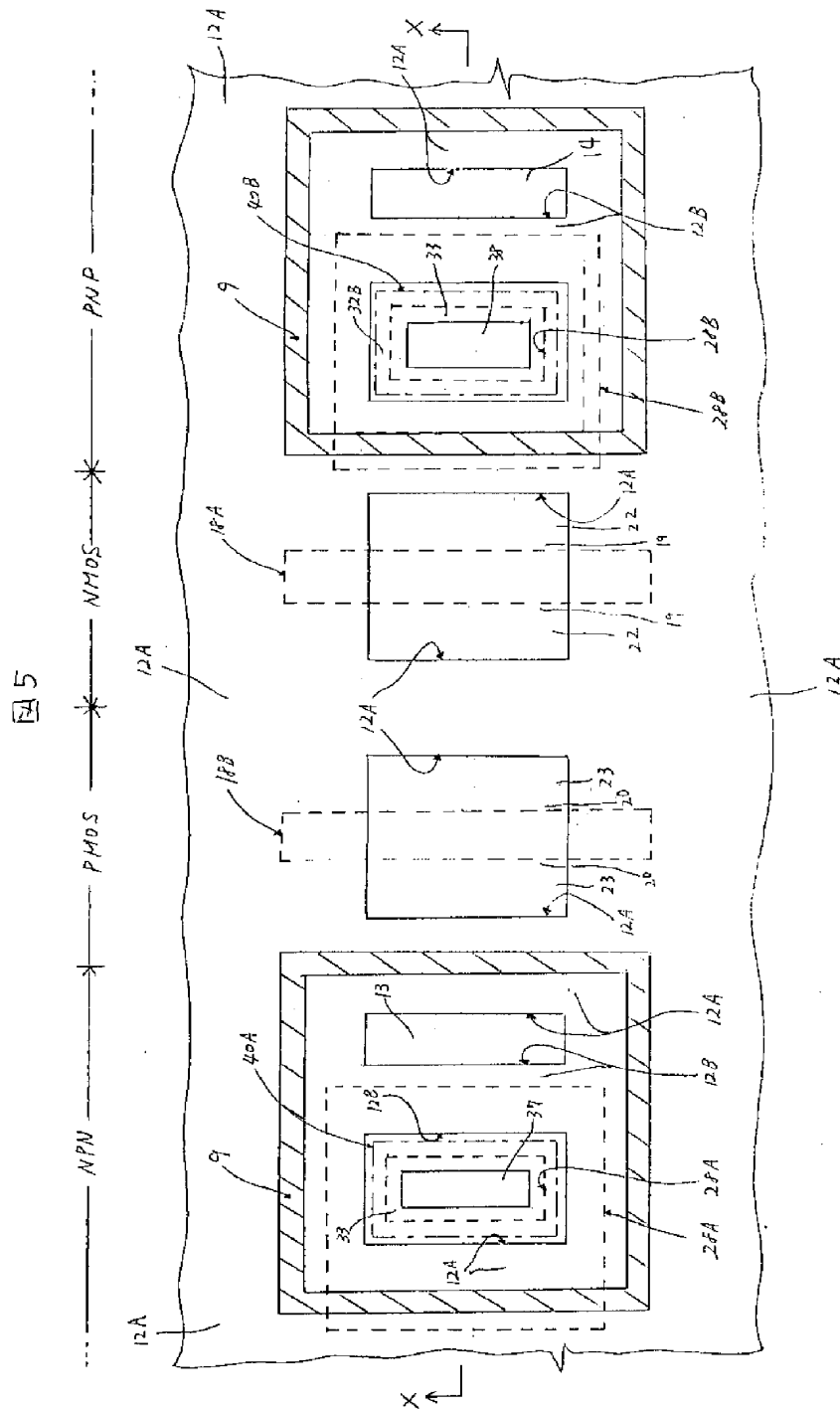


【図4】

図4



【図5】

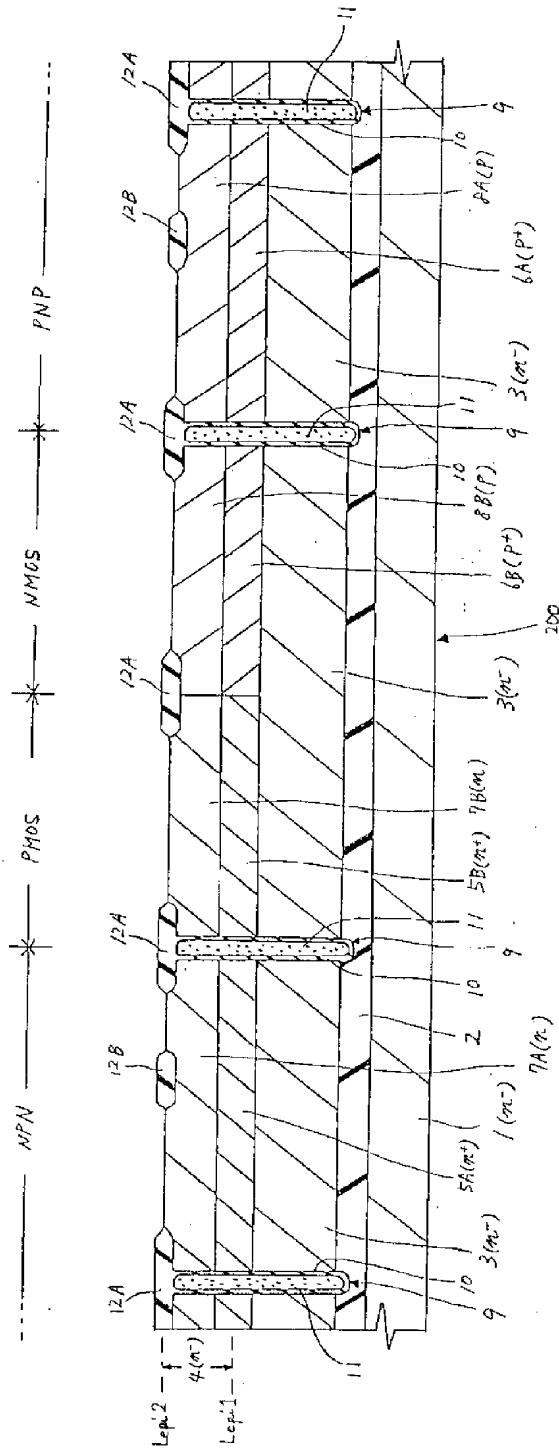


9图

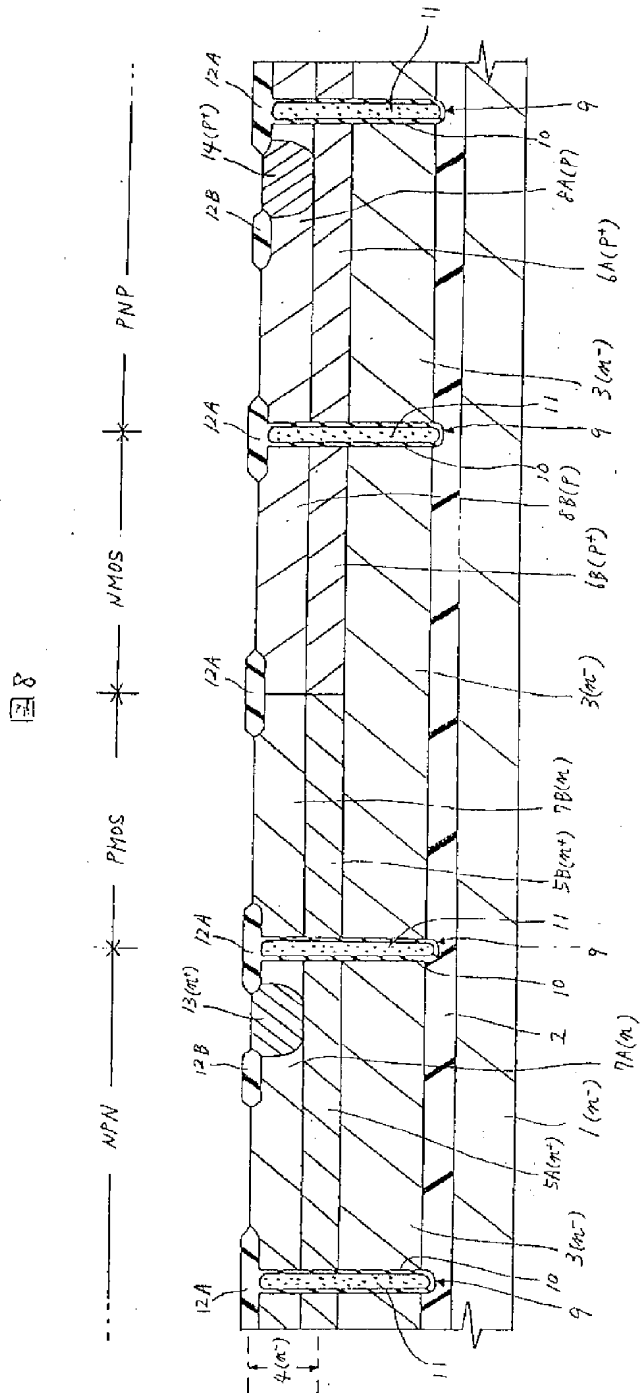


【図7】

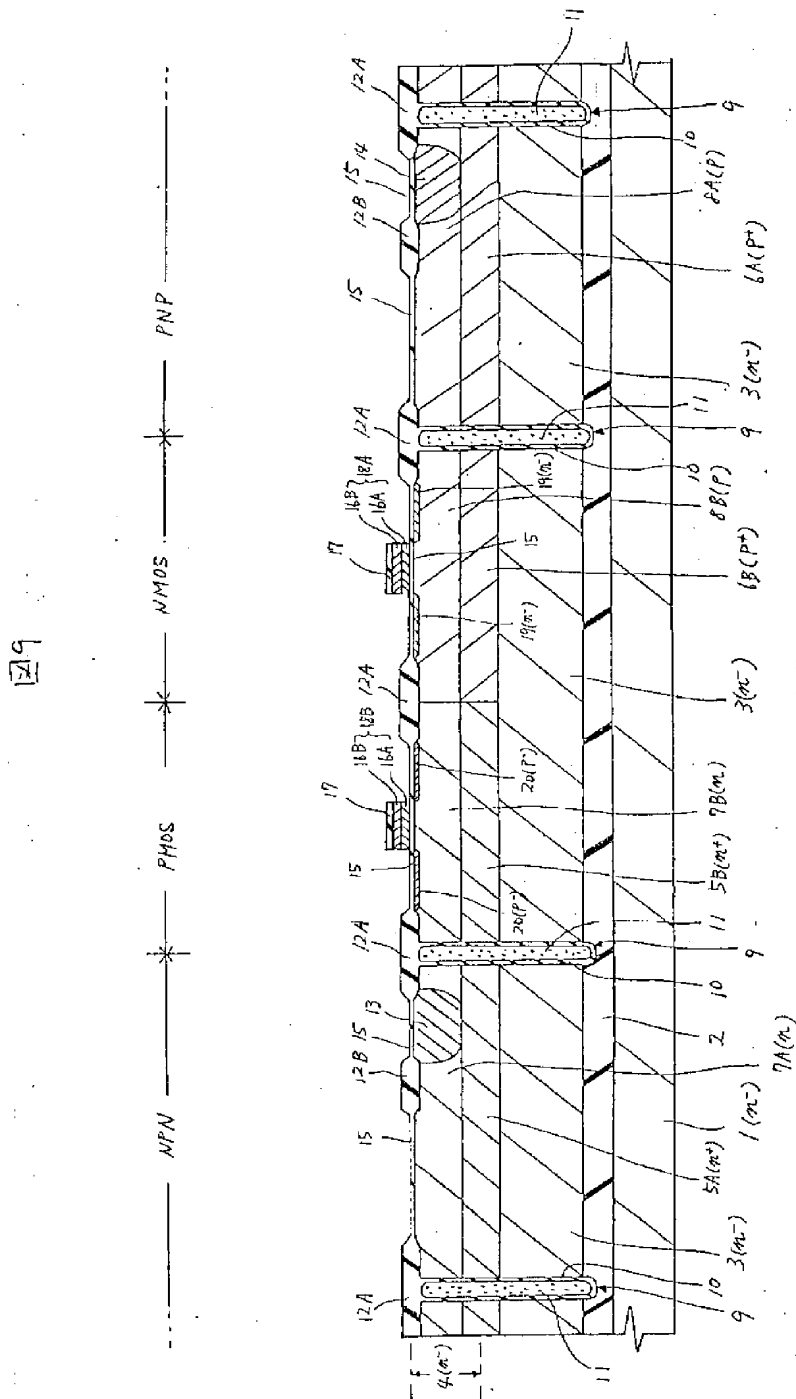
図7



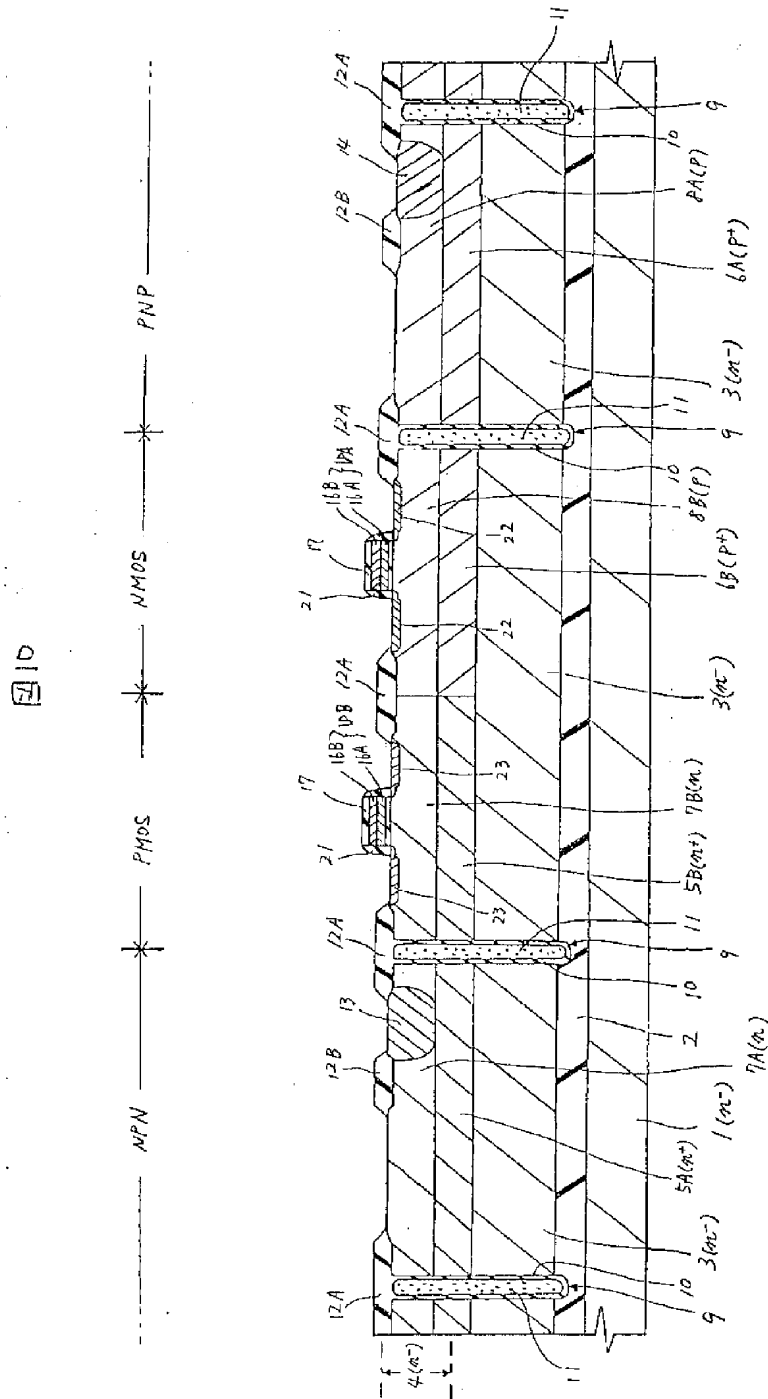
【図8】



【図9】

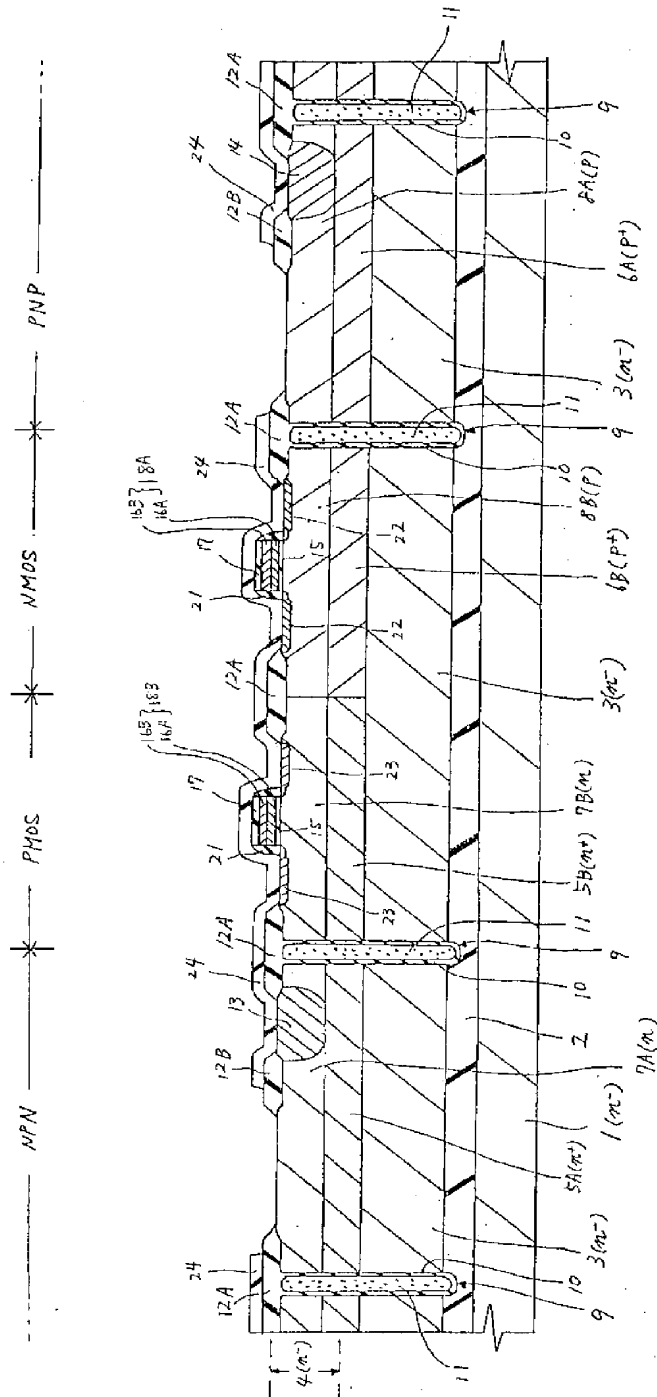


【図10】

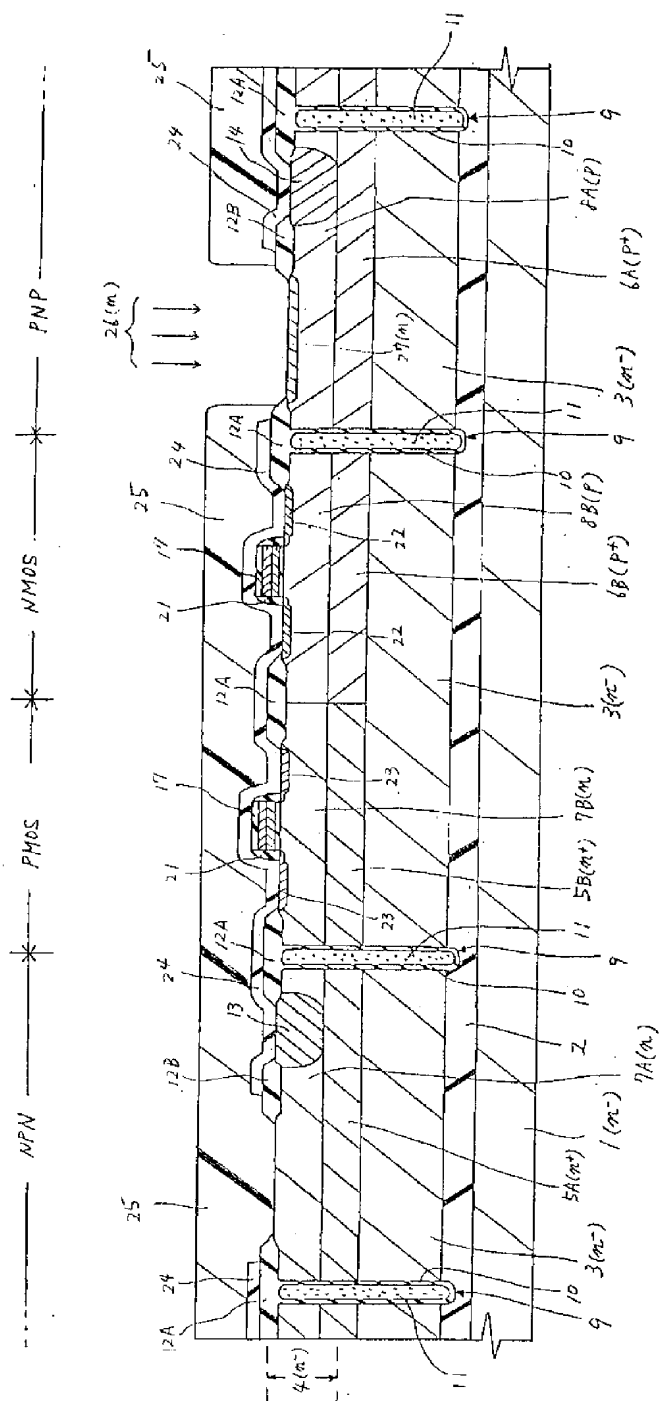


【図11】

図11

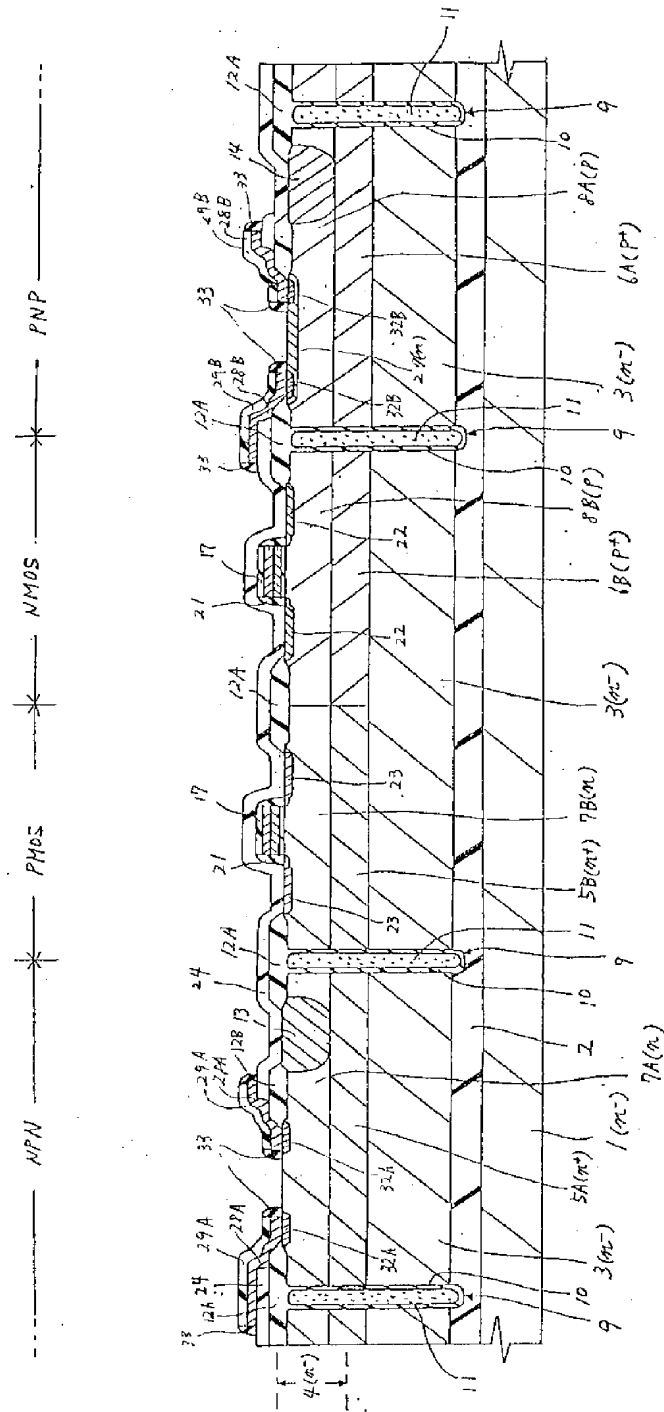


【图 1 2】



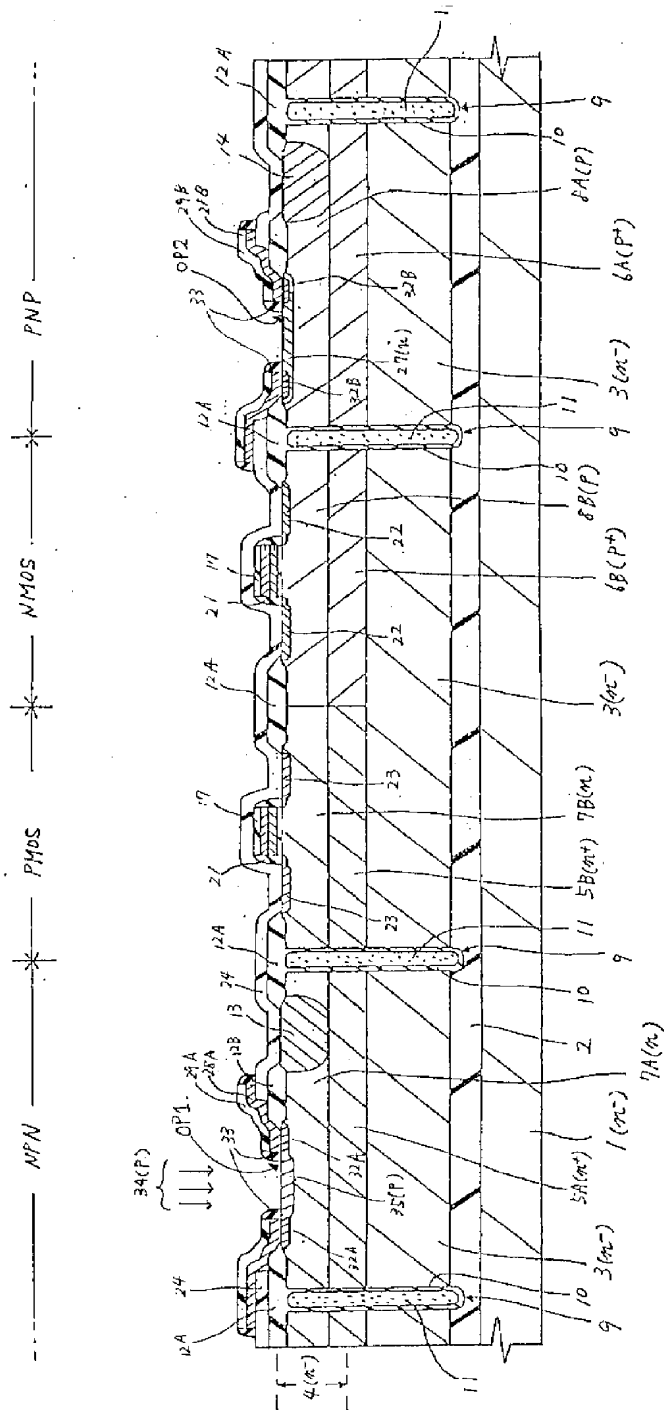
【図14】

図14

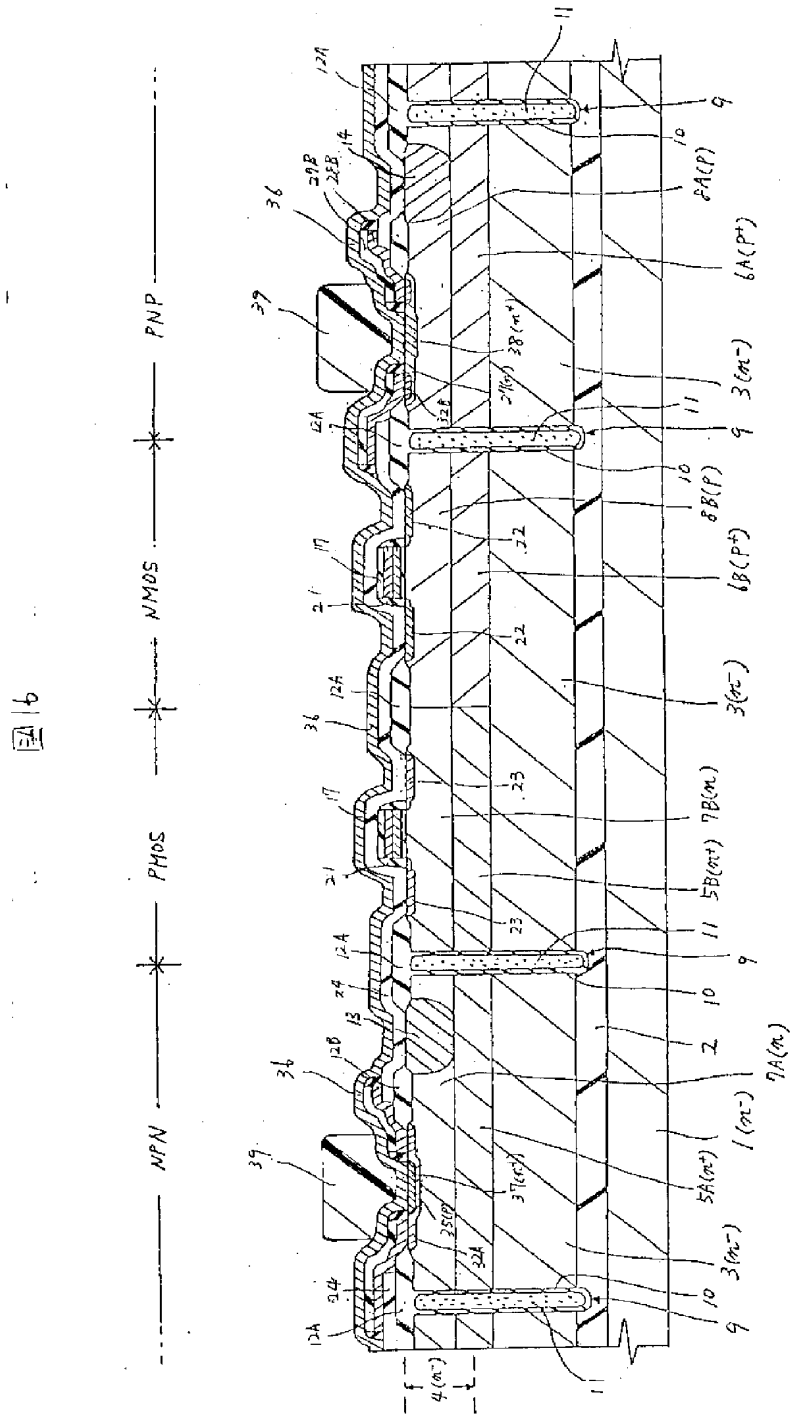


【図15】

図15

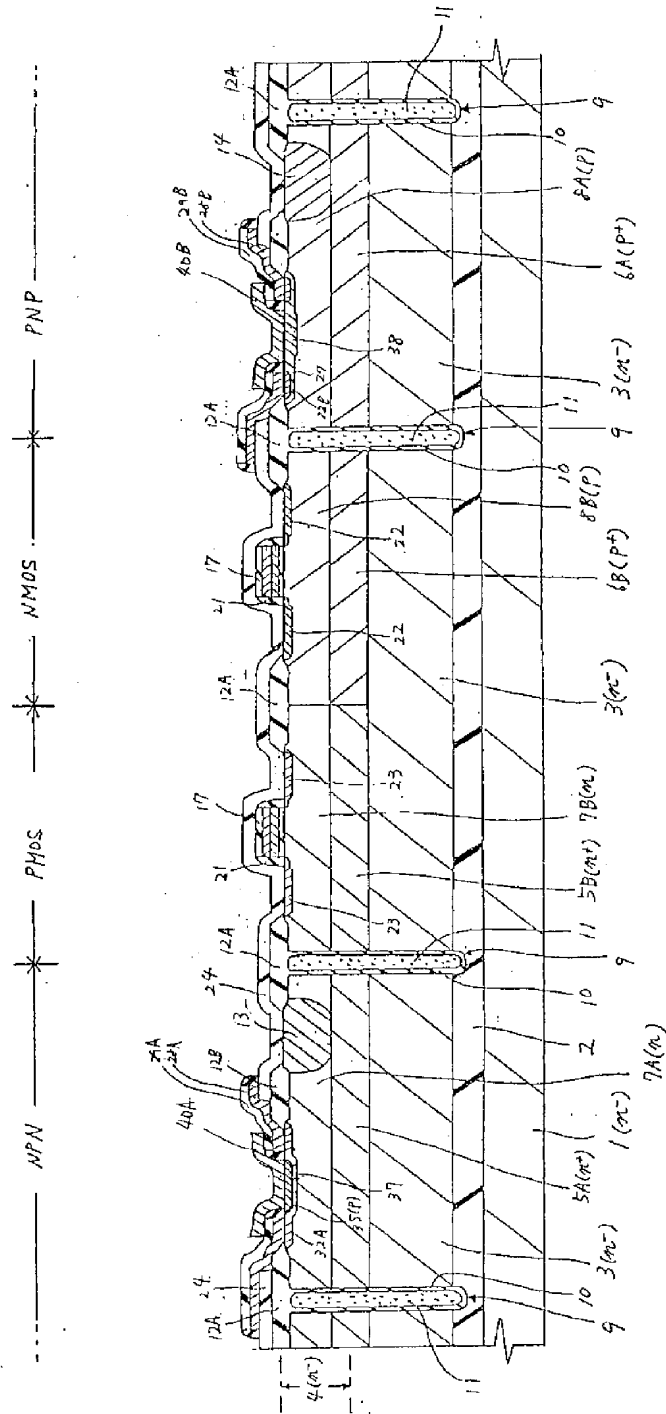


【図16】



【図17】

図17



【図18】

